

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-003908
 (43)Date of publication of application : 08.01.1992

(51)Int.Cl. H01L 21/02
 H01L 21/76

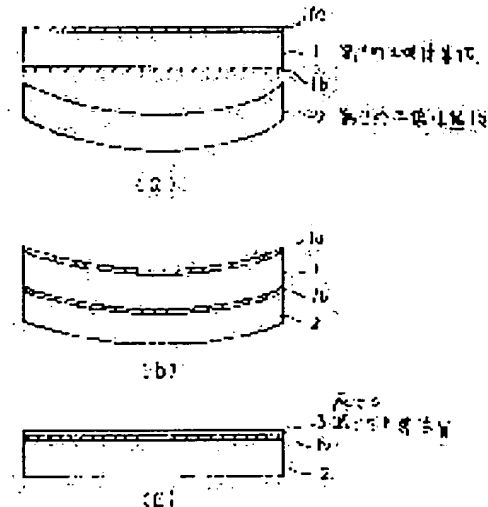
(21)Application number : 02-106055 (71) FUJITSU LTD
 Applicant :
 (22)Date of filing : 20.04.1990 (72)Inventor : MIURA TAKAO

(54) MANUFACTURE OF SEMICONDUCTOR SUBSTRATE

(57)Abstract:

PURPOSE: To reduce a warpage or to control a warpage quantity freely by providing, at least, either of first and second semiconductor substrates with a warpage and bonding them, which its concave plane is grinded so as to form a semiconductor layer having a reduced thickness on an insulating film.

CONSTITUTION: A first semiconductor substrate 1 is a flat 6-inch Si wafer, on the front and the rear of which thermally oxidized films 1a and 1b of $0.5 \mu\text{m}$ thick are formed. Meanwhile, a second semiconductor substrate 2 is a 6-inch Si wafer whose surface is a recessed plane of about $40 \mu\text{m}$ of warpage quantity. The rear of the first semiconductor substrate 1 is bonded with the front of the second semiconductor substrate 2 and these are annealed at $1000\text{--}1250^\circ\text{C}$ so as to complete the bonding. The first semiconductor substrate 1 is grinded and polished from its surface in order to form a semiconductor layer 3 having a thickness of $0.1\text{--}10 \mu\text{m}$ less. Thus, a bonded SOI substrate without a warpage can be obtained, which uses the second semiconductor substrate 2 as a supporting substrate, and the semiconductor layer 3 of reduced thickness as an element substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A) 平4-3908

⑤ Int. Cl.⁵H 01 L 21/02
21/76

識別記号

B
D

庁内整理番号

2104-4M
6741-4M

④ 公開 平成4年(1992)1月8日

審査請求 未請求 請求項の数 3 (全9頁)

⑥ 発明の名称 半導体基板の製造方法

⑦ 特 願 平2-106055

⑧ 出 願 平2(1990)4月20日

⑨ 発 明 者 三 浦 隆 雄 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑩ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑪ 代 理 人 弁 理 士 井 桁 貞 一

明 細 書

1. 発明の名称

半導体基板の製造方法

2. 特許請求の範囲

(1) 一主面に絶縁膜が一樣に形成されてなる第1の半導体基板(1)と、第2の半導体基板(2)の少なくとも一方の半導体基板は反りを有し、

前記第1の半導体基板(1)の前記一主面と前記第2の半導体基板(2)の一主面とを互いに張合わせて反りのある張合わせ基板を形成する工程と、

前記張合わせ基板の凹に反った面から研削して、前記絶縁膜上に厚さを減じた半導体層(3)を形成し且つ前記張合わせ基板の反りを減ずる工程とを有することを特徴とする半導体基板の製造方法。

(2) 反りのある半導体基板(4)にその凹面から表面に結晶層を残すほどの高加速で絶縁膜を形成するためのイオン注入を行った後アニールを行い、内部に埋設した絶縁膜(6)を形成し、前記絶縁膜(6)の下を支持基板(8)とし前記絶縁膜(6)

の上を素子基板(7)とするSOI基板を得ることを特徴とする半導体基板の製造方法。

(3) 絶縁膜を形成するためのイオンとして、

O^+ , N^+ , O_2^+ , N_2^+ , O^{2+} , N^{2+} ,

O_2^{2+} , N_2^{2+} を用いることを特徴とする請求項

2記載の半導体基板の製造方法。

3. 発明の詳細な説明

(概要)

半導体基板の製造方法に係り、特にSOI基板の製造方法に関し、

反りの小さいSOI基板あるいは制御された反り量を持つSOI基板の提供を目的とし、

一主面に絶縁膜が一樣に形成されてなる第1の半導体基板と、第2の半導体基板の少なくとも一方の半導体基板は反りを有し、前記第1の半導体基板の前記一主面と前記第2の半導体基板の一主面とを互いに張合わせて反りのある張合わせ基板を形成する工程と、前記張合わせ基板の凹に反った面から研削して、前記絶縁膜上に厚さを減じた

半導体層を形成し且つ前記張合わせ基板の反りを減ずる工程とを有する半導体基板の製造方法により構成する。

また、反りのある半導体基板にその凹面から表面に結晶層を残すほどの高加速で絶縁膜を形成するためのイオン注入を行った後アニールを行い、内部に埋没した絶縁膜を形成し、その絶縁膜の下を支持基板としその絶縁膜の上を素子基板とする、SOI基板を得る半導体基板の製造方法により構成する。

〔産業上の利用分野〕

本発明は半導体基板の製造方法に係り、特にSOI基板の製造方法に関する。

SOI基板を用いた半導体装置は、トレンチ素子分離などを併用することによって完全分離が可能となり、放射線耐性の向上、ラッチアップ現象の消失、高速化の達成といった数々の利点を有する。しかし、欠点として、SOI基板は厚い絶縁層、例えばSiO₂の絶縁層を有するため、Si

によって決まるものであり、従ってウエハの初期の反りはただ単に小さければよいというものではなく、プロセスに合わせて決定しなければならないが、従来の張合わせSOI基板の場合、絶縁膜によって反りが律則されていて、反りを自由に制御することができなかった。

その点、Si基板単体の場合は、従来でもスラッシング工程や研削工程などで反りを自由に制御することができていた。

〔発明が解決しようとする課題〕

本発明は、従来の張り合わせSOI基板における反りの原因を考究し、反りの小さいSOI基板の製造方法あるいは反り量を自由に制御できるSOI基板の製造方法を提供することを目的とする。

〔課題を解決するための手段〕

第11図に示した従来の張合わせSOI基板における反りは、Siの熱膨張係数がSiO₂の熱膨

張係数より大きいことを受けて反っていた。ウエハの反りは微細パターンの描画を阻害するばかりでなく、ストレスによって結晶欠陥を生じたり、ストレスの集中する部分に不要な不純物を偏析させて素子の特性を劣化させる原因にもなっており、それゆえ、反りの小さいSOI基板の製造方法の開発が望まれている。

〔従来の技術〕

第11図(a)乃至(c)は張合わせSOI基板における従来の問題点を説明するための図であり、1は第1の半導体基板、1a、1bは絶縁膜、2は第2の半導体基板、3は厚さを減じた半導体層を表す。

絶縁膜1a、1bの形成された第1の半導体基板1、及び第2の半導体基板2は張り合わせる前は反りはないが、張り合わせた後第1の半導体基板1の表面を研削・研磨して絶縁膜1aを除去し、厚さを減じた半導体層3を形成すると、厚さを減じた半導体層3が凸面になるような反りを生じる。ウエハの最終的な反りは素子を形成するプロセス

張係数より大きいことに起因するものとして説明することができる。そこで、予め第1の半導体基板と第2の半導体基板を張り合わせる前に少なくともどちらかに反りを持たせて、従来の張合わせSOI基板において生じていた反りを吸収するようにして、反りの小さいSOI基板あるいは反り量の制御された張合わせSOI基板を得る。

かくして上記課題は、一主面に絶縁膜が一様に形成されてなる第1の半導体基板1と、第2の半導体基板2の少なくとも一方の半導体基板は反りを有し、前記第1の半導体基板1の前記一主面と前記第2の半導体基板2の一主面とを互いに張合わせて反りのある張合わせ基板を形成する工程と、前記張合わせ基板の凹に反った面から研削して、前記絶縁膜上に厚さを減じた半導体層3を形成し且つ前記張合わせ基板の反りを減ずる工程とを有する半導体基板の製造方法によって解決される。

また、反りのある半導体基板4にその凹面から表面に結晶層を残すほどの高加速で絶縁膜を形成するためのイオン注入を行った後アニールを行い、

内部に埋設した絶縁膜6を形成し、前記絶縁膜6の下を支持基板8、前記絶縁膜6の上を素子基板7とするSOI基板を得る半導体基板の製造方法によって解決される。

(作用)

第9図(a)乃至(c)は本発明の原理を説明するための図である。表面及び裏面に絶縁膜1a、1bの形成された第1の半導体基板1と第2の半導体基板2を張り合わせる前に、例えば第2の半導体基板2に張り合わせ面を凹面とする反りをもたせておく(第9図(a)参照)。

張り合わせた状態では第1の半導体基板1の表面を凹面とする反りを生じている(第9図(b)参照)。

第1の半導体基板1の表面を研削して除去し、厚さを減じた半導体層3を形成すると、厚さを減じた半導体層3表面を凸面とするようなストレスが生じて張り合わせた状態で生じていた反りを打ち消し、反りの小さい張り合わせSOI基板が得

とがわかる。

張り合わせSOI基板に生じるこのような反りは、SiとSiO₂の熱膨張係数の差によるものとして説明することができる。本発明では、逆にその性質を利用して、張り合わせSOI基板の反りを小さくあるいは所定の値に制御するようにしている。即ち、第1の半導体基板1と第2の半導体基板2を張り合わせた直後は、将来素子基板となる第1の半導体基板の表面が凹面となるようにし、その面を研削して厚さを減じた半導体層3を形成している。

絶縁膜を挟んで支持基板と厚さを減じた半導体層3が形成された後のストレスを考えてみると、厚さを減じた半導体層3の厚さは支持基板の厚さに比べて極めて薄いため、絶縁膜と支持基板の間の熱膨張係数の差がストレスには主として効いていることになる。そして、この熱膨張係数の差は厚さを減じた半導体層3側を凸面とするように作用する。

それゆえ、予め第1の半導体基板1、第2の半

られる(第9図(c)参照)。

第10図は張り合わせ前の反り量と研削、研磨後の反り量の関係を示す図である。

横軸は張り合わせる前の支持基板の反り量で、プラス(凸)は張り合わせる面が凸面であること、マイナス(凹)は張り合わせる面が凹面であることを表す。支持基板は厚さ500~600 μ mの6インチSiウエハーで、反り量はウエハーの中心から周縁を含む平面に下ろした距離で表す。縦軸は表面、裏面に酸化膜の形成された6インチSiウエハーを張り合わせた後アニールして接着を完全にし、表面の酸化膜とSiを研削・研磨して厚さ10 μ m以下の薄いSi層を残した状態における反り量を表し、酸化膜の厚さが1 μ mの場合と0.5 μ mの場合について示している。

この図から酸化膜の厚さが0.5 μ mの場合は、支持基板の反り量が-40 μ mの時、研削・研磨後の反り量がほぼゼロとなり、酸化膜の厚さが1 μ mの場合は、支持基板の反り量が-70 μ mの時、研削・研磨後の反り量がほぼゼロとなるこ

導体基板2の少なくともいずれかは反りを持つようにし、張り合わせた状態で素子基板側が凹面となるようにしておけば、最終的には反りの小さいSOI基板を得ることができる。

しかも、張り合わせSOI基板の最終的反り量は、絶縁膜の厚さ、第1、第2の半導体基板の厚さと張り合わせ前の反り量を変えることにより、要求に応じて調整することができる。

また、反りのある半導体基板4にその凹面から表面に結晶層を残すほどの高加速で絶縁膜を形成するためのイオン注入を行った後アニールを行い、内部に埋設した絶縁膜6を形成すると、絶縁膜6と半導体基板4の熱膨張係数の差は、凹面の曲がりや緩和して凸面とする方向に作用するから、反りを小さくしたり、反り量を調節することが可能となる。素子基板7の部分は支持基板8の部分に比べて圧倒的に薄いから素子基板の反りに対する寄与は無視できる。

〔実施例〕

第1図乃至第8図は実施例Ⅰ乃至実施例Ⅶを説明するための断面図であり、以下、これらの図を参照しながら説明する。

実施例Ⅰ

第1の半導体基板1は平らな6インチSiウエハーで、表面及び裏面に厚さ0.5 μm の熱酸化膜1a, 1bが形成されている。第2の半導体基板2は厚さ500～600 μm 、表面が反り量約40 μm の凹面である6インチSiウエハーである(第1図(a)参照)。

第1の半導体基板1の裏面と第2の半導体基板2の表面を張り合わせ、1000～1250℃でアニールして接着を完全にする(第1図(b)参照)。

第1の半導体基板1を表面から研削・研磨して、厚さ0.1～10 μm の厚さを減じた半導体層3を形成する(第1図(c)参照)。

このようにして、第2の半導体基板2を支持基板とし、厚さを減じた半導体層3を素子基板とする反りのない平坦な張合わせSOI基板を得た。

ハ-で、表面及び裏面に厚さ0.5 μm の熱酸化膜1a, 1bが形成されている。第2の半導体基板2は厚さ500～600 μm 、表面に反り量が約80 μm の凹面を持ち、表面及び裏面に厚さ0.5 μm の熱酸化膜2a, 2bが形成された6インチSiウエハーである(第3図(a)参照)。

第1の半導体基板1の裏面と第2の半導体基板2の表面を張り合わせ、1000～1250℃でアニールして接着を完全にする(第3図(b)参照)。

第1の半導体基板1を表面から研削・研磨して、厚さ0.1～10 μm の厚さを減じた半導体層3を形成する(第3図(c)参照)。

その後、第2の半導体基板2の裏面の酸化膜2bを研削して除去する(第3図(d)参照)。

このようにして、第2の半導体基板2を支持基板とし、厚さを減じた半導体層3を素子基板とし、反りがほとんどない張合わせSOI基板を得た。

実施例Ⅳ

第1の半導体基板1は厚さ500～600 μm 、表面に反り量が約80 μm の凹面を持ち、表面及び

実施例Ⅱ

第1の半導体基板1は厚さ500～600 μm で、表面及び裏面に厚さ0.5 μm の熱酸化膜1a, 1bが形成された平らな6インチSiウエハーである。

第2の半導体基板2は表面に反り量約40 μm の凹面を持つ6インチSiウエハーである(第2図(a)参照)。

第2の半導体基板2の裏面と第1の半導体基板1の表面を張り合わせ、1000～1250℃でアニールして接着を完全にする(第2図(b)参照)。

第2の半導体基板2を表面から研削・研磨して、厚さ0.1～10 μm の厚さを減じた半導体層3を形成する(第2図(c)参照)。

その後、第1の半導体基板1の裏面の酸化膜1bを研削して除去する(第2図(d)参照)。

このようにして、第1の半導体基板1を支持基板とし、厚さを減じた半導体層3を素子基板とする反りのない平坦な張合わせSOI基板を得た。

実施例Ⅲ

第1の半導体基板1は平らな6インチSiウエ

裏面に厚さ0.5 μm の熱酸化膜1a, 1bが形成された6インチSiウエハーである。第2の半導体基板2は平らな6インチSiウエハーで、表面及び裏面に厚さ0.5 μm の熱酸化膜2a, 2bが形成されている(第4図(a)参照)。

第1の半導体基板1の裏面と第2の半導体基板2の表面を張り合わせ、1000～1250℃でアニールして接着を完全にする(第4図(b)参照)。

第1の半導体基板1を表面から研削・研磨して、厚さ0.1～10 μm の厚さを減じた半導体層3を形成する(第4図(c)参照)。

その後、第2の半導体基板2の裏面の酸化膜2bを研削して除去する(第4図(d)参照)。

このようにして、第2の半導体基板2を支持基板とし、厚さを減じた半導体層3を素子基板とし、反りがほとんどない張合わせSOI基板を得た。

実施例Ⅴ

第1の半導体基板1は厚さ500～600 μm 、表面に反り量が約40 μm の凹面を持ち、表面及び裏面に厚さ0.5 μm の熱酸化膜1a, 1bが形成され

た6インチSiウエハーである。第2の半導体基板2は厚さ500~600 μm 、表面に反り量が約40 μm の凹面を持つ6インチSiウエハーである(第5図(a)参照)。

第1の半導体基板1の裏面と第2の半導体基板2の表面を張り合わせ、1000~1250℃でアニールして接着を完全にする(第5図(b)参照)。

第1の半導体基板1を表面から研削・研磨して、厚さ0.1~10 μm の厚さを減じた半導体層3を形成する(第5図(c)参照)。

このようにして、第2の半導体基板2を支持基板とし、厚さを減じた半導体層3を素子基板とし、厚さを減じた半導体層3の反り量が約10 μm の凹面を有する張合わせSOI基板を得た。

実施例VI

第1の半導体基板1は厚さ500~600 μm 、表面に反り量が約40 μm の凹面を持ち表面及び裏面に厚さ0.5 μm の熱酸化膜1a、1bが形成された6インチSiウエハーである。第2の半導体基板2は厚さ500~600 μm 、表面に反り量が約

μm の凹面を持ち表面及び裏面に厚さ0.5 μm の熱酸化膜2a、2bが形成された6インチSiウエハーである(第7図(a)参照)。

第1の半導体基板1の裏面と第2の半導体基板2の表面を張り合わせ、1000~1250℃でアニールして接着を完全にする(第7図(b)参照)。

第1の半導体基板1を表面から研削・研磨して、厚さ0.1~10 μm の厚さを減じた半導体層3を形成する(第7図(c)参照)。

その後、第2の半導体基板2の裏面の酸化膜2bを研削して除去する(第7図(d)参照)。

このようにして、第2の半導体基板2を支持基板とし、厚さを減じた半導体層3を素子基板とするほぼ平坦な張合わせSOI基板を得た。

以上、実施例I乃至実施例VIIでいろいろな場合について示したが、必須の要件は張合わせ基板の表面が凹面となる反りを持ち、且つ張り合わせ面に絶縁膜が存在することである。この条件を満たせば、第1の半導体基板1あるいは第2の半導体基板2は、必ずしも表面と裏面の両面に絶縁膜を

40 μm の凹面を持つ6インチSiウエハーである(第6図(a)参照)。

第2の半導体基板2の裏面と第1の半導体基板2の表面を張り合わせ、1000~1250℃でアニールして接着を完全にする(第6図(b)参照)。

第2の半導体基板2を表面から研削・研磨して、厚さ0.1~10 μm の厚さを減じた半導体層3を形成する(第6図(c)参照)。

その後、第1の半導体基板1の裏面の酸化膜1bを研削して除去する(第6図(d)参照)。

このようにして、第1の半導体基板1を支持基板とし、厚さを減じた半導体層3を素子基板とし、厚さを減じた半導体層3の反り量が約10 μm の凹面を有する張合わせSOI基板を得た。

実施例VII

第1の半導体基板1は厚さ500~600 μm 、表面に反り量が約40 μm の凹面を持ち表面及び裏面に厚さ0.5 μm の熱酸化膜1a、1bが形成された6インチSiウエハーである。第2の半導体基板2は厚さ500~600 μm 、表面に反り量が約40

持つ必要はなく、例えば、片面にCVD法などによりSiO₂膜を形成してもよい。ただ、張り合わせ面の上下ともに絶縁膜があるか、張り合わせ面の上だけに絶縁膜があるか、張り合わせ面の下だけに絶縁膜があるかということは、その後形成される半導体デバイスの特性に微妙な影響を与えるので、目的に応じて選択する必要がある。

実施例VIII

半導体基板4は厚さ500~600 μm 、表面に反り量が約80 μm の凹面を持つ6インチSiウエハーである。

その凹面から、加速電圧200 keV、ドーズ量 $2 \times 10^{15} \text{cm}^{-2}$ の条件で酸素(O⁺)をイオン注入する。表面に0.1~0.5 μm 程度の結晶層を残して、内部に0.5~1 μm の厚さの酸素イオン濃度の大きい酸素イオン注入領域5が形成される。(第8図(a)参照)。

1250℃、30分の高温アニールを行い、埋没した絶縁膜6を形成する。

このようにして、埋没した絶縁膜6の下を支持

基板8、上を素子基板7とするほぼ平坦なSOI基板を得た。(第8図(b)参照。)

なお、絶縁膜6を形成するためのイオンとして、 O^+ の他に N^+ 、 O_2^+ 、 N_2^+ 、 O^{2+} 、 N^{2+} 、 O_2^{2+} 、 N_2^{2+} 等を用いることもできる。

〔発明の効果〕

以上説明したように、本発明によれば、反りの小さい、あるいは反り量の制御されたSOI基板を得ることができる。本発明のSOI基板を用いることにより、素子の安定動作が確保でき、信頼性が向上することができる。

本発明は素子の微細化、歩留りの向上に寄与するところが多い。

4. 図面の簡単な説明

第1図(a)乃至(c)は実施例Iを説明するための断面図。

第2図(a)乃至(d)は実施例IIを説明するための断面図。

2は第2の半導体基板。

1a、1b、2a、2bは絶縁膜であって酸化膜。

3は厚さを減じた半導体層。

4は半導体基板。

5は酸素イオン注入領域。

6は埋没した絶縁膜。

7は素子基板。

8は支持基板

を表す。

代理人 弁理士 井桁貞一



第3図(a)乃至(d)は実施例IIIを説明するための断面図。

第4図(a)乃至(d)は実施例IVを説明するための断面図。

第5図(a)乃至(c)は実施例Vを説明するための断面図。

第6図(a)乃至(d)は実施例VIを説明するための断面図。

第7図(a)乃至(d)は実施例VIIを説明するための断面図。

第8図(a)、(b)は実施例VIIIを説明するための断面図。

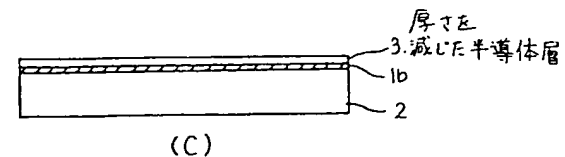
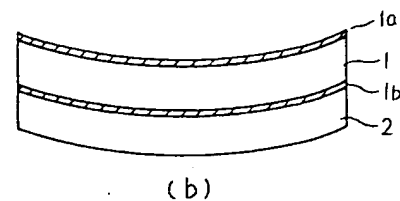
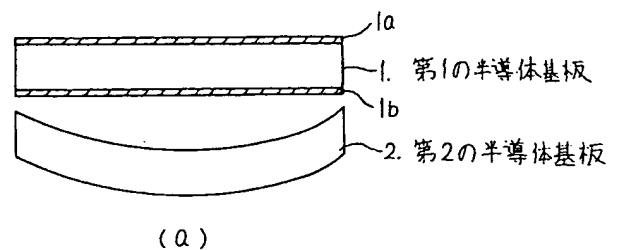
第9図(a)乃至(c)は本発明の原理を説明するための図。

第10図は張り合わせ前の反り量と研削・研磨後の反り量の関係を示す図。

第11図(a)乃至(c)は従来の問題点を説明するための図である。

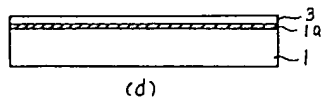
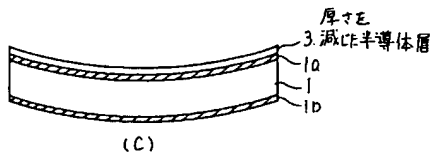
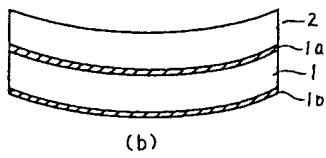
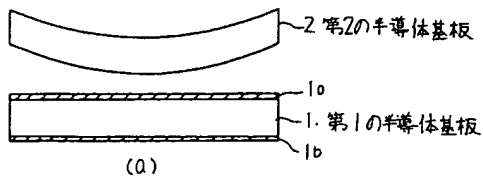
図において、

1は第1の半導体基板。

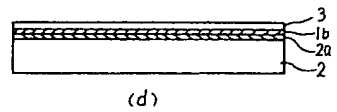
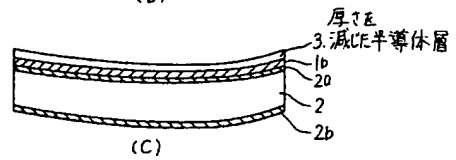
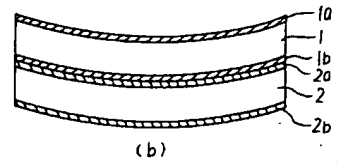
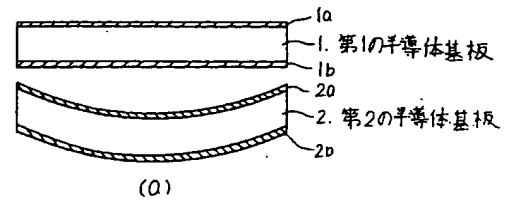


実施例 I

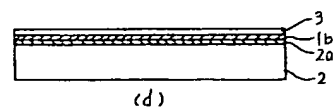
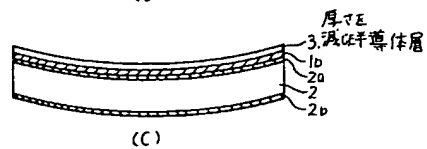
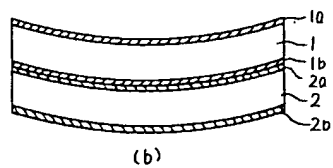
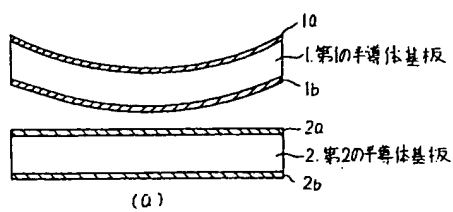
第 1 図



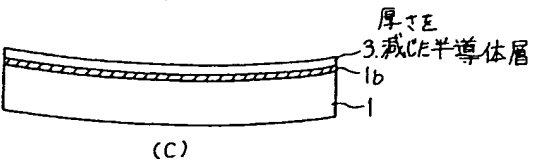
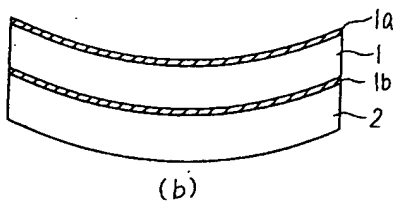
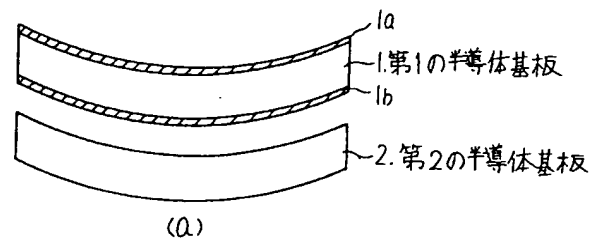
実施例 II
第 2 図



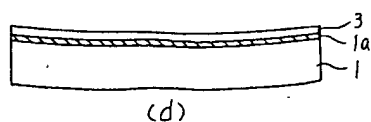
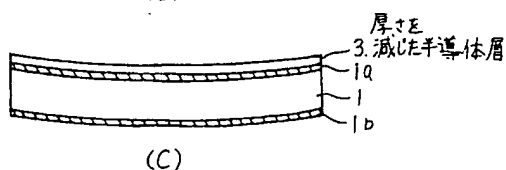
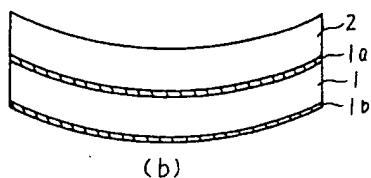
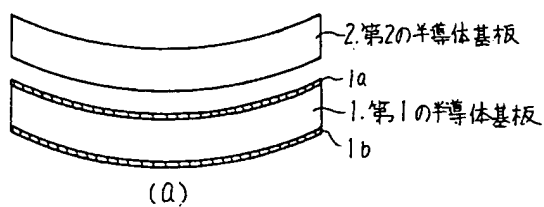
実施例 III
第 3 図



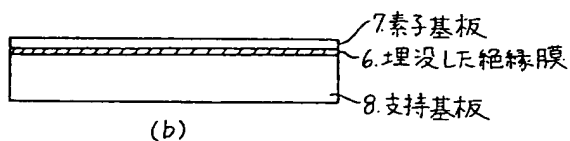
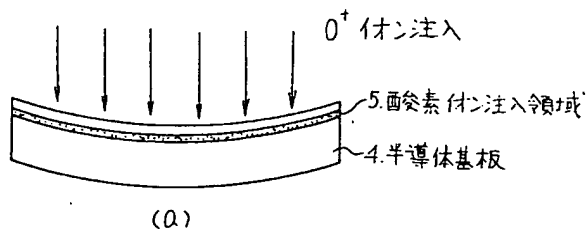
実施例 IV
第 4 図



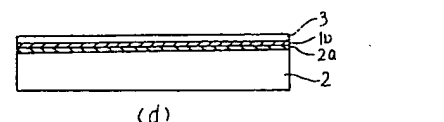
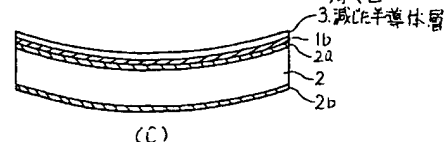
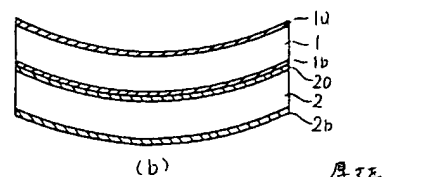
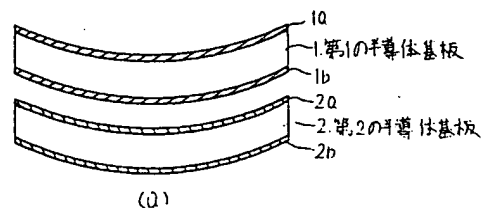
実施例 V
第 5 図



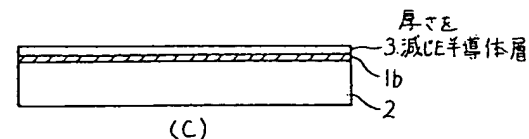
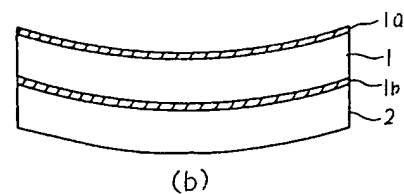
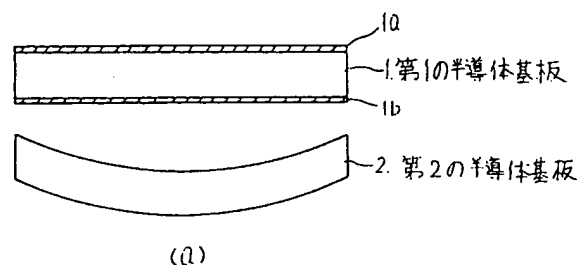
実施例 VI
第 6 図



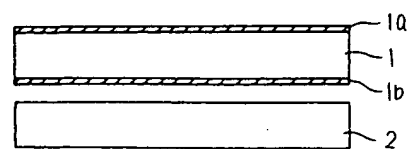
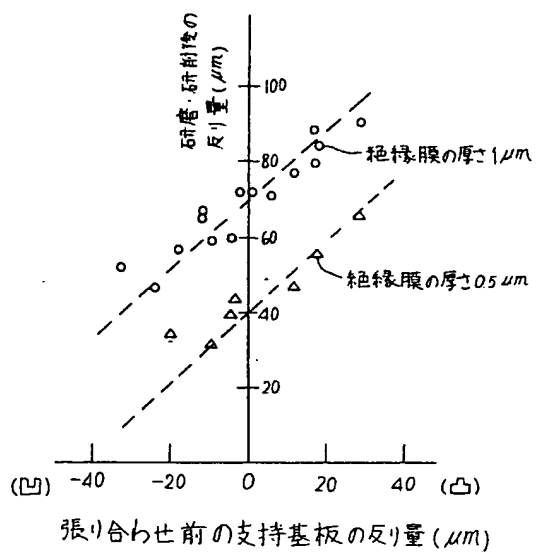
実施例 VIII
第 8 図



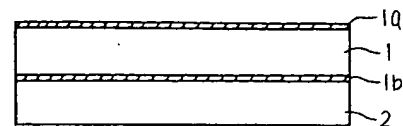
実施例 VII
第 7 図



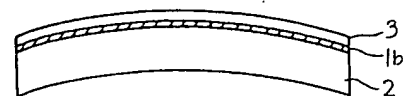
本発明の原理と説明するための図
第 9 図



(a)



(b)



(c)

従来の問題点を説明するための図

第 11 図